



ロジックインメモリアーキテクチャ VLSIとその応用展開

— 知能を集積回路に組み込む —

張山 昌論

東北大学大学院 情報科学研究科 助教授

概要

近年、我が国では、社会の急速な高齢化や労働力不足を背景に、リアルワールド環境で人間をサポートする知能システムが切望されている。リアルワールド知能システムの例としては、家庭用サービスロボット、高安全知能自動車、ホビーロボット、ウェアラブルコンピューティングなど枚挙にいとまがない。膨大な計算量を有する知能アルゴリズムを実現するためには、マイクロプロセッサ^{*1}をはるかに上回る高性能性・低消費電力性・コンパクト性を有する、超高並列VLSI^{*2}の開発が不可欠となる。本研究では、知能システムを実現するために、知能アルゴリズム、プロセッサアーキテクチャ、先進電子回路技術などの要素技術の最適化と、その集積化を行った。特に、超高並列なプロセッサにおいては、メモリ・演算

器間の相互結合網の複雑さに起因する速度低下・消費電力の増大が深刻な問題となるため、配線ボトルネックの解消に向けた先進技術の開拓を行った。

はじめに

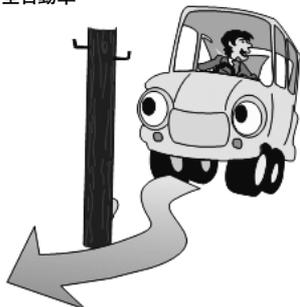
リアルワールド環境で人間をサポートする知能システム(図1)を実現するためには、計算量が膨大となる種々の知的情報処理が必要となる。リアルワールド知能システムの典型例であるホームサービスロボットを例にとると、1.画像などのセンサ情報の低次環境情報の取得、2.3次元奥行き情報などのより高次の環境情報の計算、3.人間、障害物などの物体抽出・認識、4.リアルワールド環境情報の予測(移動障害物の経路予測など)、5.ロボットの軌道計画、6.ロボットの可動部(モーターなど)の制御とい

った、一連の処理を数ミリ以内の周期で繰り返す必要がある。高次の環境情報の取得や、物体抽出・認識においては、膨大な計算量を必要とする種々の画像処理を行う必要がある。また、リアルワールド環境情報の予測のためには、膨大な環境情報の統計データをもとにロバストな予測を行う必要がある。そのため、リアルワールド知能システム実膨大な計算量を有する知能アルゴリズムを瞬時に処理する専用VLSIが必要となる。しかも、リアルワールド知能システムでは、知能ロボットや高安全自動車のように、人間とともに移動するシステムが多いため、バッテリーライフの長時間化の観点から、低消費電力化も重要となる。

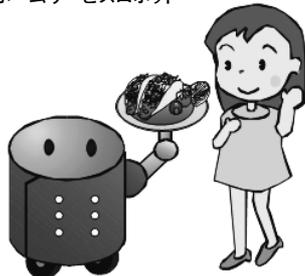
このような高性能化・低消費電力化を実現するために、知能アルゴリズム、プロセッサアーキテクチャ、先進電子回路技術などの要素技術の最適化と、その集積化を行った。特に、高並列VLSIの問題点は、メモリ・演算器または演算器間の結合網が膨大となることであることに着目し、メモリと演算器間の結合網の複雑さを最小化するロジックインメモリアーキテクチャとその最適化手法や、演算器・配線の消費電力を共に考慮した消費電力の高位合成などを開拓した。さらに、これらの要素技術をもとに、信号処理に適した種々のリコンフィギュラブルVLSIの開発にも成功した。その結果、従来のコンピュータの数千倍の高速化を

図1 リアルワールド知能システム

●高安全自動車



●ホームサービスロボット



達成する多種多様な高性能プロセッサの開発に成功した。例として、高安全自動車の自律的障害物回避軌道を計算する“衝突回避プロセッサ”、画像処理に基づき障害物や対象物体の3次元形状・距離を認識する“ステレオビジョンプロセッサ”、従来の10倍以上の性能を有するリコンフィギャブルVLSIなどがある。

研究成果

種々の知能処理に対して、VLSI向きアルゴリズムとそれに適合したロジックインメモリアーキテクチャを開発した。ロジックインメモリアーキテクチャとは、メモリと演算器の通信が、細粒度で局所化されたアーキテクチャである。主な開発事例を次に示す。

連想メモリを用いた衝突回避軌道生成VLSI：自動車の障害物相対的な関係に着目し、自動車の情報を固定的にメモリに記憶できるVLSI向きアルゴリズムを考案した。さらに、ロジックインメモリアーキテクチャの典型例である連想メモリを用いて、数万個のデータ照合を完全並列に行うアーキテクチャを考案し、マイクロプロセッサの処理と比較して、1500倍以上の高速化を達成した(図1)^[1]。

3次元画像処理VLSI：画像に応じて適応的に処理パラメータを調整することにより、信頼性の高い3次元画像を取得するVLSI向きアルゴリズムを考案した。さらに、メモリと演算器間の通信を完全に局所化したロジックインメモリアーキテクチャを用いて、演算器割り当ての最適化を行うことにより、処理の画像から物体の3次元情報を700フレーム/秒で取得できるステレオビ

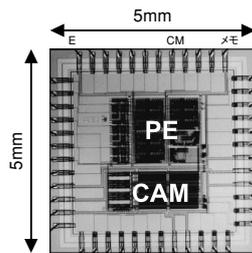


図2
高安全自動車用
衝突チェックVLSIプロセッサ
(0.6 μ m CMOSテクノロジーで設計)

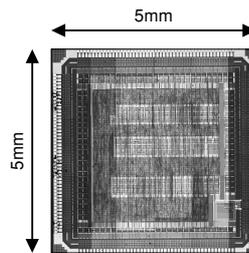


図3
3次元距離情報取得用
(ステレオビジョン) VLSIプロセッサ
(0.18 μ m CMOSテクノロジーで設計)

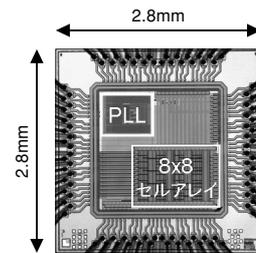


図4
細粒度ビットシリアルアーキテクチャ
に基づく再構成可能VLSIプロセッサ
(0.18 μ m CMOSテクノロジーで設計)

ジョンプロセッサを開発した(図2)^[2]。

各専用プロセッサの最適化事例を一般化することにより、次に示すような、配線複雑さの解消を指向したロジックインメモリアーキテクチャVLSIの最適構成理論の構築を行った。

相互結合網最小化：演算器数を冗長に用いることで、演算器メモリ間の通信を局所化するロジックインメモリアーキテクチャを対象として、データの割り当ての最適化手法を考案した。その有用性を、高安全自動車用道路抽出VLSI、捕球ロボット用ボール抽出VLSI等、3次元奥行き情報取得のためのステレオビジョンVLSI(図2)に適用することにより、従来方式に比べ、配線複雑さを1/10以下にできることを実証した。

消費電力最小化：プロセッサの仕様(アルゴリズム、処理時間、チップ面積)が与えられた場合に、複数種類の電源電圧を演算器に最適に割り当てつつ、配線簡単化により配線消費電力も最適化する手法を考案した。提案手法により、30%~60%の消費エネルギーの削減が可能となった。進化的計算手法の1つである遺伝的アルゴリズムにより、実用的な大規模な問題に対

して、高速に最適解を求めることを可能とした^[3]。

配線複雑さの解消を指向した専用プロセッサのアーキテクチャを一般化することにより、高性能・低消費電力性を両立する再構成可能プロセッサを開発した(図4)^[6]。細粒度ビットシリアルパイプラインアーキテクチャに基づく配線遅延の最小化、細粒度複数電源制御方式、不揮発メモリといった先進アーキテクチャ・回路技術を考案し、従来のFPGA^{*3}と比較して同等チップ面積、消費電力で一桁程度の性能向上を可能とした^[4]。

むすび

リアルワールド知能システムの「頭脳」の実現を目指し、より高次の知的情報処理(物体認識、確率推論、予測など)を実現するVLSIプロセッサを開発中である。また、リアルワールド知能システムで培った高性能・低消費電力VLSIプロセッサに関する技術は、デジタル情報家電、携帯情報端末などの種々などにも有用となり、産業界への波及効果も期待できる。

補足説明

※1 マイクロプロセッサ

コンピュータ内で基本的な演算処理を行う、コンピュータの心臓部に当たる集積回路。

※2 VLSI (Very Large Scale Integration)

集積回路(トランジスタ、抵抗、コンデンサ、ダイオードなどの素子を集めて基板の上に装着し、各種の機能を持たせた電子回路)のうち、素子の集積度が極めてたかいもの。マイクロプロセッサと比較して、多数の演算器数を集積することにより高性能化が可能。

※3 FPGA (Field Programmable Gate Array)

プログラミングすることができるVLSI。マイクロプロセッサやVLSIの設計データをプログラムすることによりシミュレーションすることができる。

References (参考文献)

- [1] 張山昌論, 山口文武, 亀山充隆, "読み出し専用連想メモリを用いた超高速軌道計画VLSIプロセッサの試作", 計測自動制御学会論文集, Vol.37, No.3, pp.235-241 (2001) .
- [2] M. Hariyama, M. Kameyama, "VLSI Processor for Reliable Stereo Matching Based on Window-Parallel Logic-in-Memory Architecture", Digest of Symposium on VLSI Circuits VLSI Symposium, pp.166-169 (2004) .
- [3] M. Hariyama, T. Aoyama, and M. Kameyama, "Genetic Approach to Minimizing Energy Consumption of VLSI Processors Using Multiple Supply Voltages", IEEE Trans. Computers, Vol.54, No.6, pp.642-650 (2005) .
- [4] W. Chong, M. Hariyama, M. Kameyama, "Low-Power Field-Programmable VLSI Processor Using Dynamic Circuits", IEEE Computer Society Annual Symposium on VLSI, pp.243-250 (2004) .